|  |  |
| --- | --- |
| **실험 결과 보고서**  **(6주차)** | 학 번 : 122201856  이 름 : 김다영  제출일 : 2021.04.11  분 반 : 002  실험조 : 개인 |

1. **실험 제목 :** Circuit Analysis Methods
2. **실험 목적 :** 주어진 회로에 대해 Loop Equation과 Node Equation을 작성하고 그에 따른 전압, 전류를 구할 수 있다.
3. **실험준비**

OrCad Pspice를 이용해 강의자료의 실험 절차에 따라 회로를 설계하고 Loop Equation과 Node Equation을 이용해 전압, 전류를 구한 뒤 결과를 비교한다.

1. **실험결과**

**실험: Circuit Analysis Methods (1)**

Figure 15-3 회로에 Loop Equation을 적용(가상 전류 방향을 시계 방향으로 설정)하면 다음과 같다.

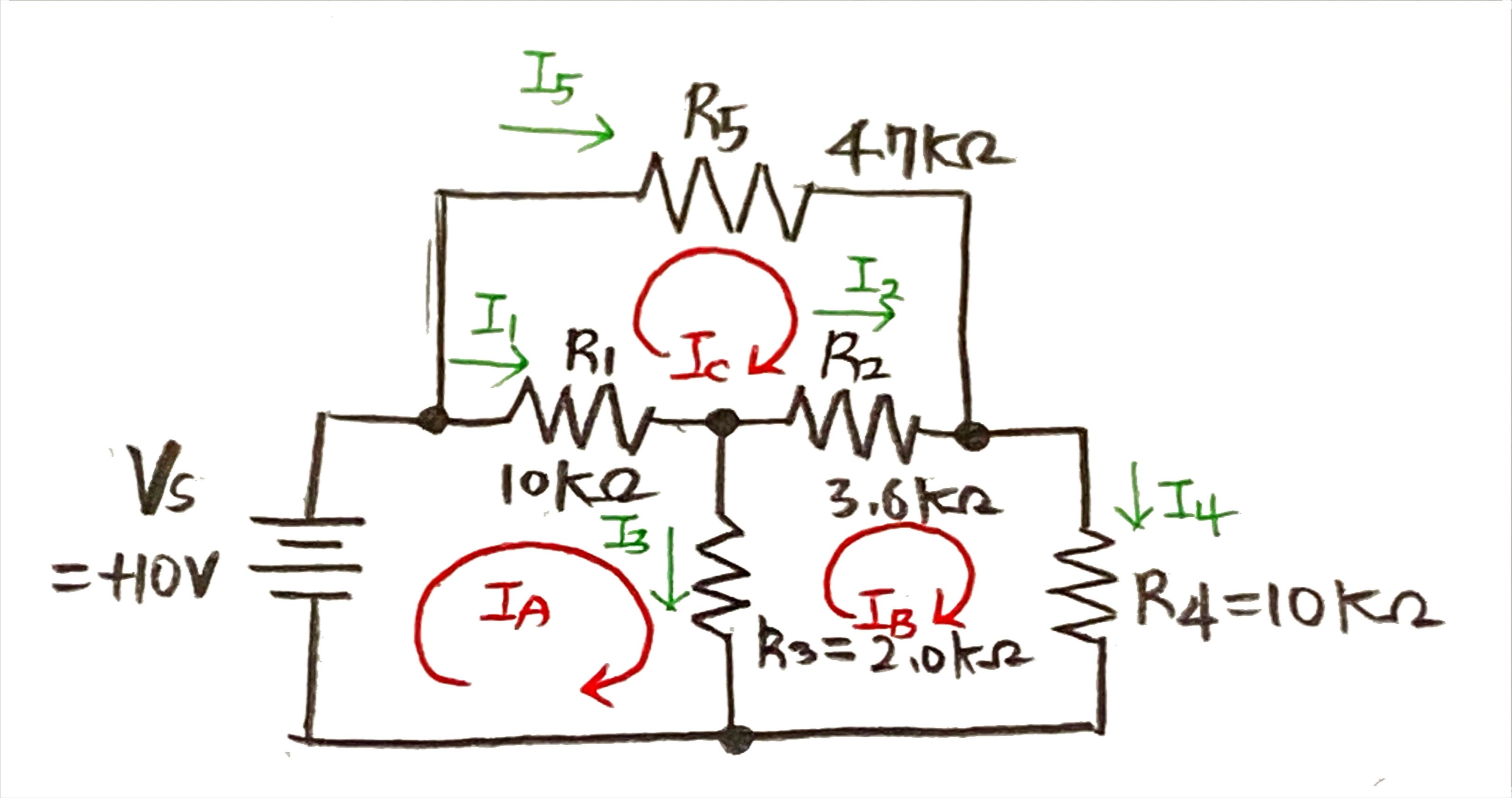


그림 1.1 Figure 15-3의 회로에서의 Loop Equation



0 (Loop A)

0 (Loop B)

0 (Loop C)

– (1)



IA와 IB, IC의 부호가 (+)이므로 가상전류의 방향은 시계 방향이라는 것을 알 수 있다.

– (2)

(←

(↓

(↓

(→

- (3)

다음은 Figure 15-3 회로에 Node Equation을 적용하면 다음과 같다.

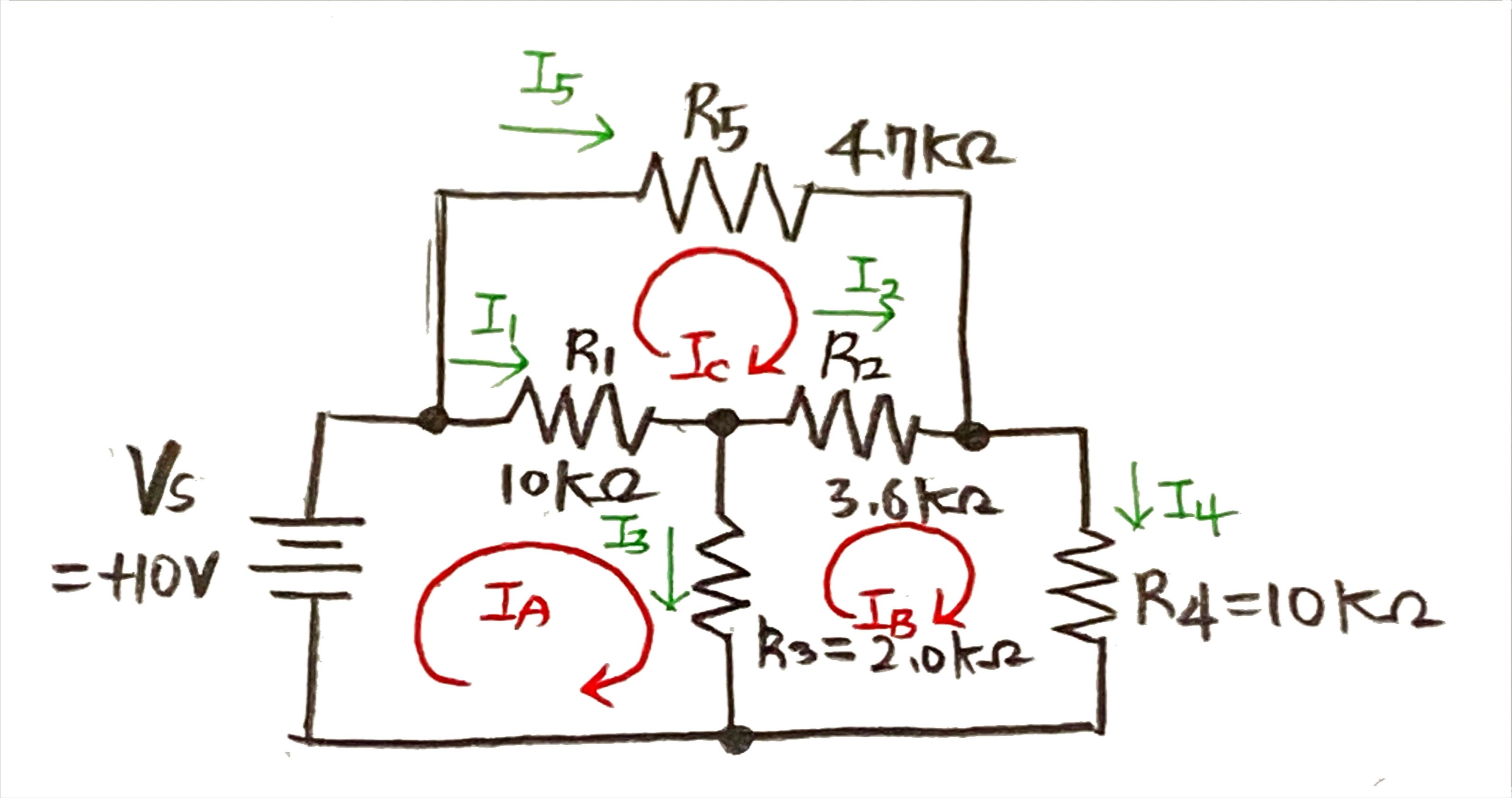




그림 1.2 Figure 15-3의 회로에서의 Node Equation

Node B) ->

Node C) ->

- (4)

10V

2.678V

4.863V

- (5)

OrCad Pspice를 이용해 Figure 15-5 회로를 simulation한 결과는 다음과 같다. – (6)

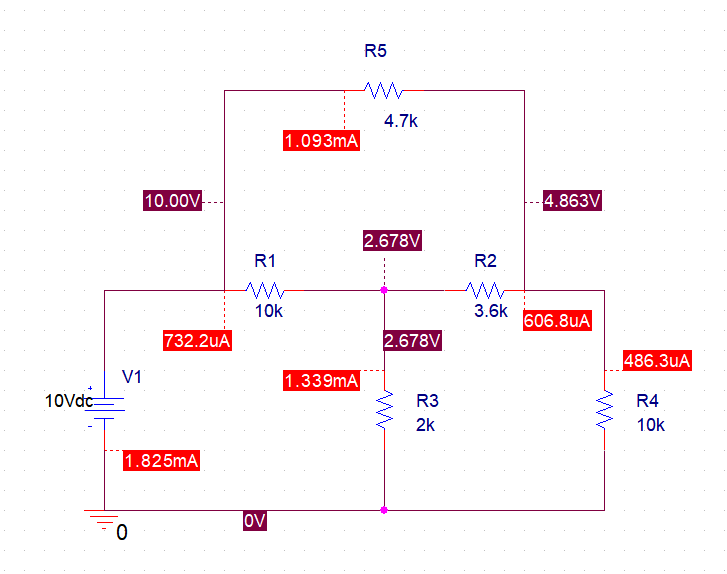
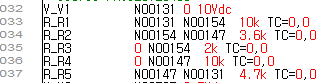


그림 1.3 Figure 15-3의 회로 Pspice Simulation 결과



**그림 1.4 Figure 15-3** **회로(그림 1.3) Pspice \*.net 스크린샷**

|  |  |  |
| --- | --- | --- |
|  | **Computed Current** | **Measured data** |
| **IA** |  |  |
| **IB** |  |  |
| **IC** |  |  |
| **I1** |  |  |
| **I2** |  | (← |
| **I3** | (↓ | (↓ |
| **I4** | (↓ | (↓ |
| **I5** |  |  |

|  |  |  |
| --- | --- | --- |
|  | **Computed** | **Measured** |
| **VA** | 10V | 10V |
| **V**B | 2.678V | 2.678V |

따라서 계산값과 측정값이 동일하다는 것을 통해 각 회로에서의 Loop Equation과 Node Equation이 잘 이용됐음을 알 수 있다.

**실험: Circuit Analysis Methods (3)**

Figure 15-5 회로에 Loop Equation을 적용(가상 전류 방향을 시계 방향으로 설정)하면 다음과 같다.

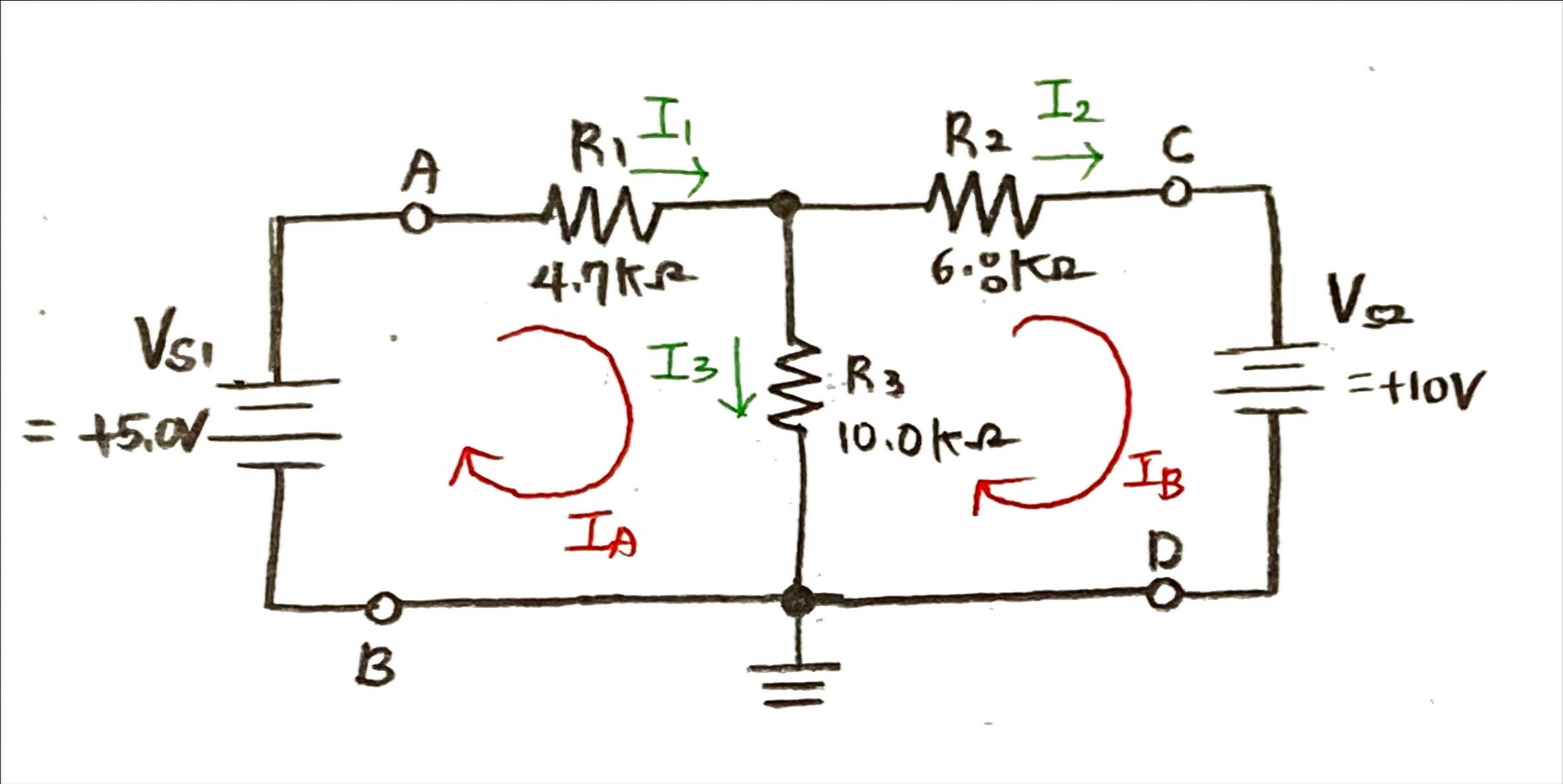


그림 2.1 Figure 15-5의 회로에서의 Loop Equation



0 (Loop A)

0 (Loop B)

– (1)



IA와 IB의 부호가 (-)이므로 가상전류의 방향은 반시계 방향이라는 것을 알 수 있다.

– (2)

(←

(←

- (3)

다음은 Figure 15-5 회로에 Node Equation을 적용하면 다음과 같다.



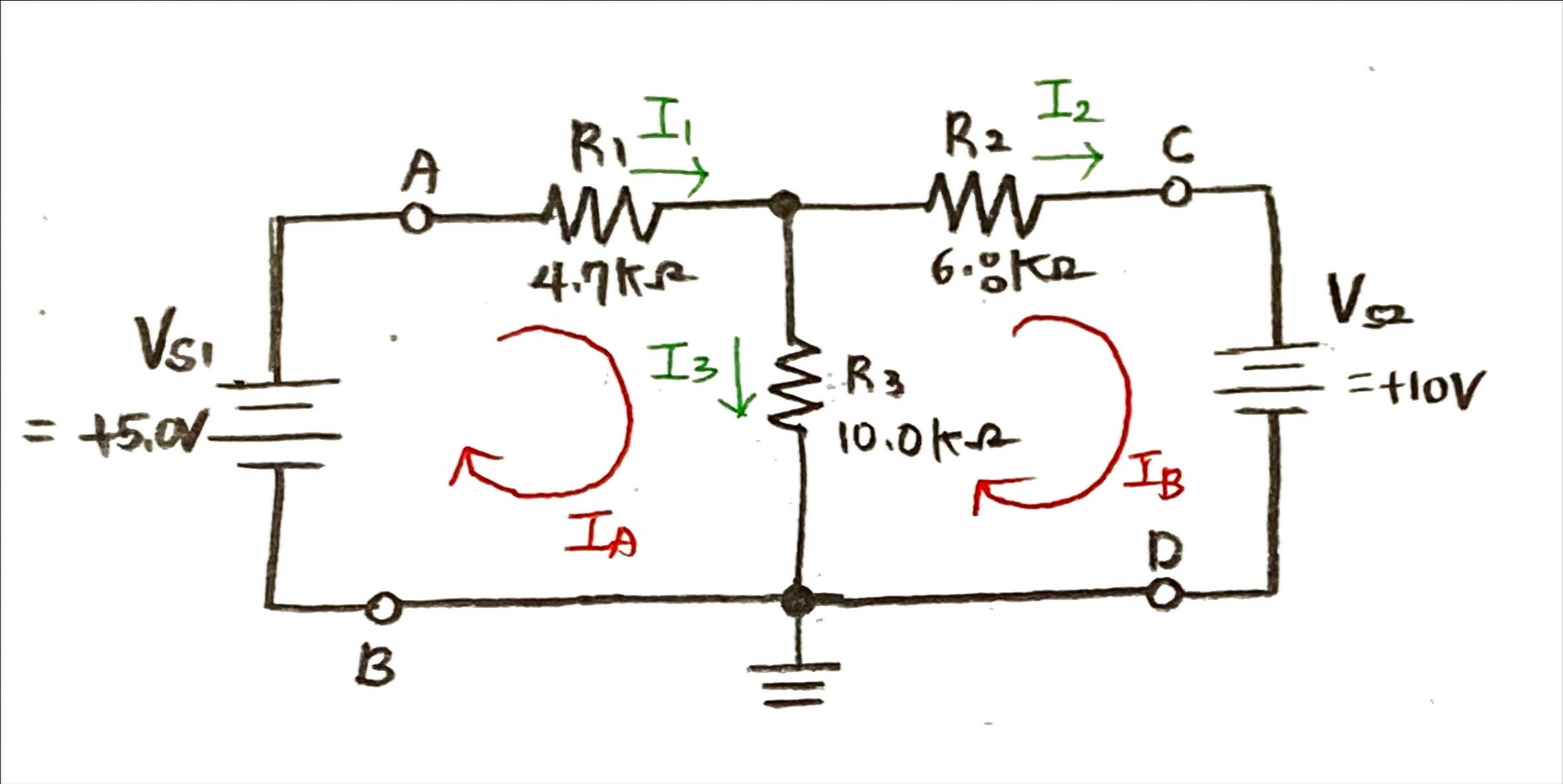




그림 2.2 Figure 15-5의 회로에서의 Node Equation

Node E)

- (4)

5.512V

- (5)

OrCad Pspice를 이용해 Figure 15-5 회로를 simulation한 결과는 다음과 같다. – (6)

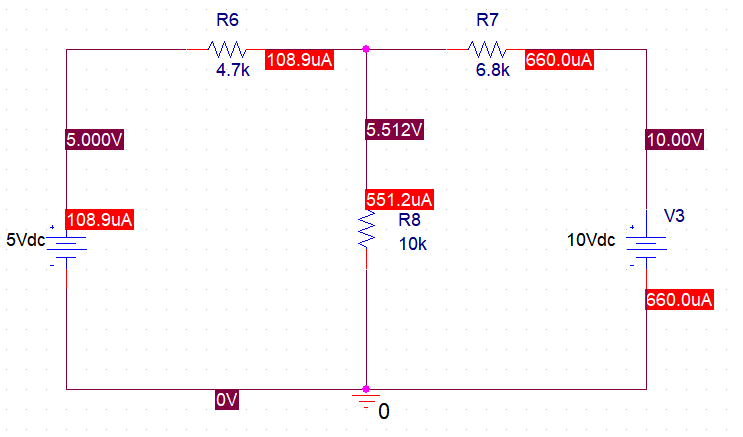


그림 2.3 Figure 15-5의 회로 Pspice Simulation 결과



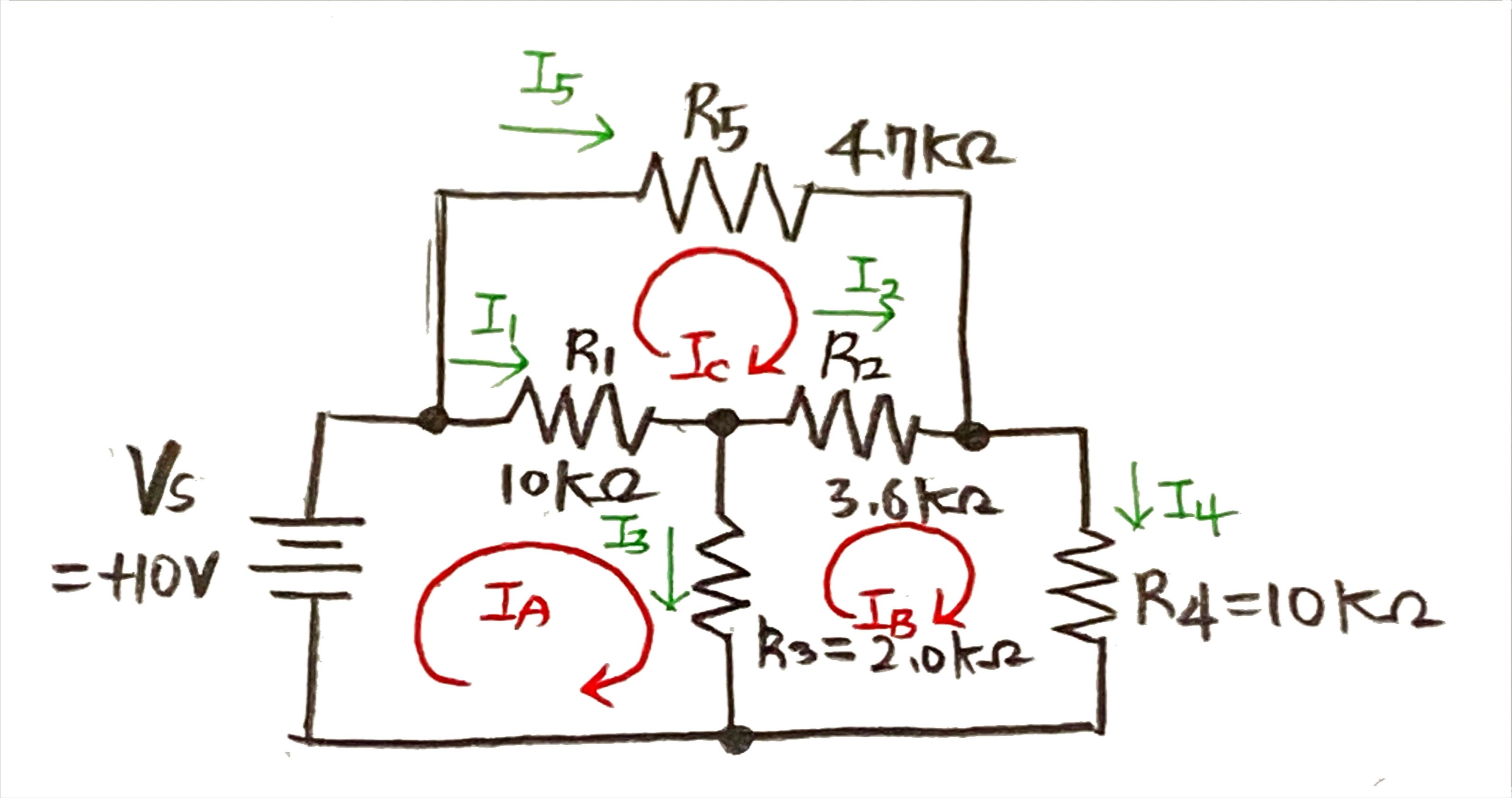
**그림 2.4 Figure 15-5** **회로(그림 1.5) Pspice \*.net 스크린샷**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | **Computed Current** | **Measured Data** |  | **Computed** | **Measured** |
| **IA** |  |  | **VE** | 5.512V | 5.512V |
| **IB** |  |  |
| **I1** |  |  |
| **I2** |  |  |
| **I3** |  |  |

따라서 계산값과 측정값이 동일하다는 것을 통해 각 회로에서의 Loop Equation과 Node Equation이 잘 이용됐음을 알 수 있다.

**실험: Circuit Analysis Methods (4)**

Figure 15-3 회로에 Loop Equation을 적용(가상 전류 방향을 반시계 방향으로 설정)하면 다음과 같다.





0 (Loop A)

0 (Loop B)

0 (Loop C)



IA와 IB, IC의 부호가 (-)이므로 가상전류의 방향은 시계 방향이라는 것을 알 수 있다.

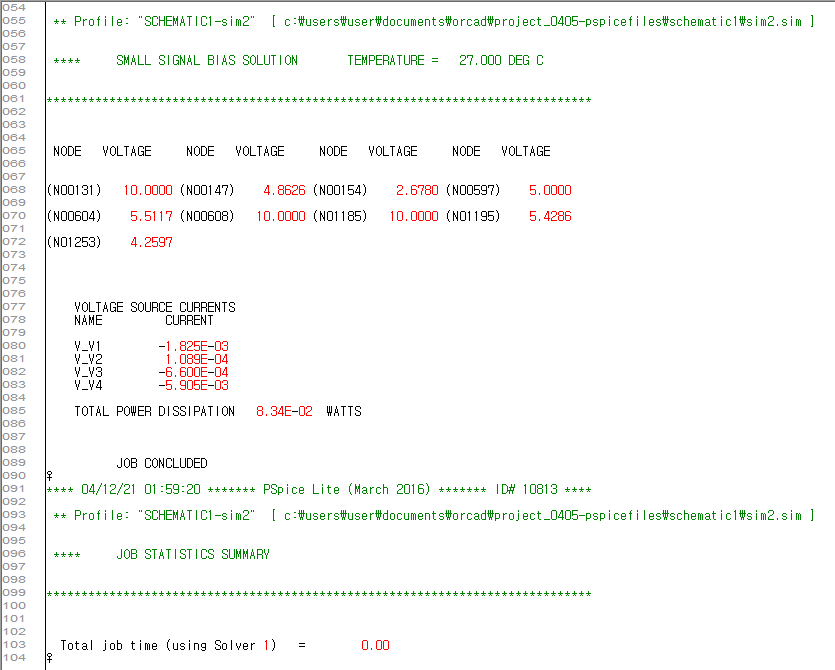
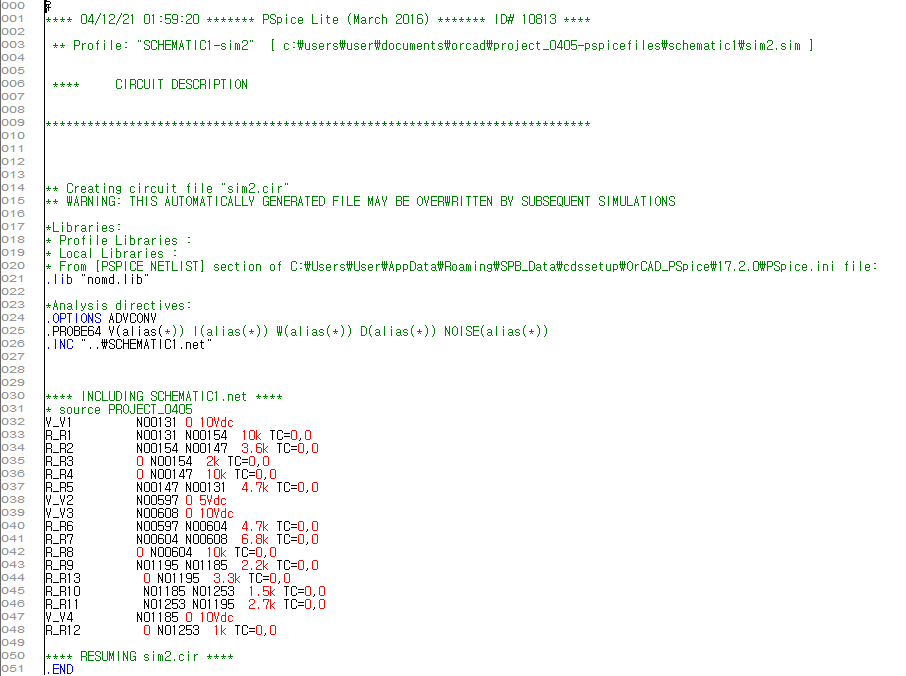
(←

(↓

(↓

(→

실험(4)의 결과와 실험(1)의 결과를 비교함으로써 가상 전류의 방향을 반대로 설정하더라도 I1~I5의 전류의 방향 및 크기에는 같은 결과가 도출된다는 것을 알 수 있다.



**그림 3.1 실험(1), (3)의** **Pspice \*.out 스크린샷**

1. **고찰** :

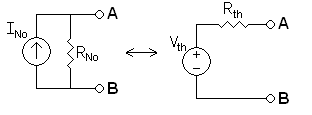
이번 실험은 각 회로에서 Loop Equation과 Node Equation을 세우고 방정식을 풀어 회로의 소자들이 갖는 전압, 전류 값을 구해보고, 실제 Pspice를 통해 Simulation을 해 이론값과 실험값을 비교해보는 실험이었다. 그 결과 Loop Equation과 Node Equation을 사용했을 때의 전압, 전류의 값과 실험을 통해 Simulation한 전압, 전류의 값이 동일하다는 것을 통해 실험이 잘 진행됐음을 알 수 있었다. 표를 비교해보면 소수점이 잘 안 맞는 경우가 발생한 것을 알 수 있는데 이는 이론값을 구할 때 계산 중간중간 반올림을 함으로써 발생하게 된 오차이다. 오차를 내지 않기 위해선 최종적으로 구하려는 값을 계산하기 전까지는 반올림을 하지 않고 마지막 최종 답을 구할 때만 반올림을 하는 것이 정확도 면에서 더욱 좋을 것으로 보인다.

|  |  |
| --- | --- |
| **예비실험 보고서**  **(7주차)** | 학 번 : 122201856  이 름 : 김다영  제출일 : 2021.04.11  분 반 : 002 |

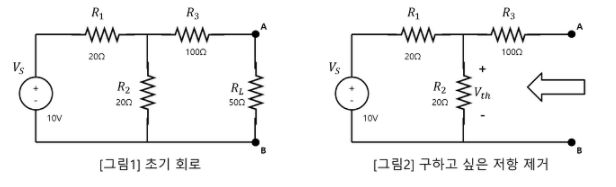
1. 실험 제목 : **Thevenin's Theorem**
2. 실험 목적
   1. 실험 목적
      1. 테브난 정리를 이용해 전압원과 저항의 회로를 테브난 등가로 변환할 수 있다.
      2. 테브난 등가 회로에서 전원 변환을 함으로써 노턴 등가 회로를 구할 수 있다.
3. 실험 이론
   1. 테브난 정리

* 테브난 정리는 대상 회로가 선형인 경우에만 사용 가능하다.
* 부하 저항이 무한히 크다고 하면 개방 회로 형태를 갖는다.
* 테브난 등가회로로 변환하기 위해서 아래의 방정식을 이용한다.

RTh=RN0, VTh= IN0RN0

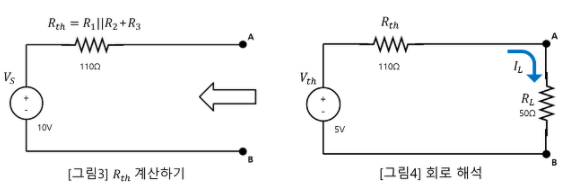


* 테브난 정리 순서
  + 1. 주어진 회로에서 부하와 등가변환할 회로를 구별하고, 구하고자 하는 부하 저항을 개방시켜 RTh를 구한다.
    2. A, B의 양단에 걸리는 전압은 VTh를 구해 등가회로를 완성한다.
    3. 부하에 걸리는 전압 또는 흐르는 전류를 구한다.
* 예시



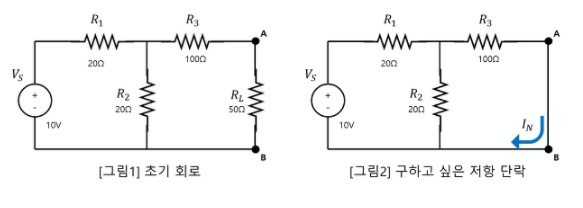
A, B 양단에 걸리는 전압은 Vth이다. 이때 RL­을 개방시키게 되면 R2에 걸리는 전압이 Vth와 동일하게 된다. 따라서

가 된다. 이후 화살표 방향으로 바라본 상태에서 총 저항 값을 계산해 Rth를 구할 수 있다. 따라서 [그림4]와 같이 Vth와 Rth를 넣어 테브닌 정리를 이용한 새로운 회로를 새로 만들 수 있다.

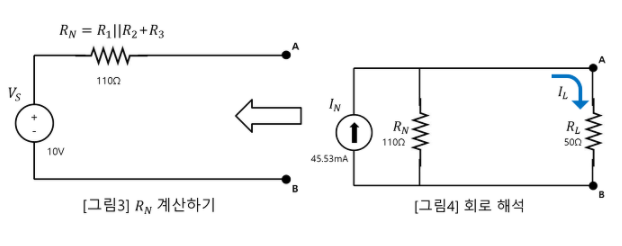


따라서 부하 저항에 흐르는 전류를 계산하면 다음과 같다.

* 1. 노턴 등가
* 부하를 제외한 전체 회로를 독립 전류원 하나와 저항 하나가 병렬 연결된 등가회로로 대체할 수 있다.
* 노턴 등가 회로는 노턴 등가 저항과 병렬인 독립 전류원으로 구성된다.
* 노턴 정리 순서
  + 1. 구하고자 하는 부하 저항을 개방시켜 RTh를 구한다.
    2. Isc를 구하여 등가회로를 완성한다.
    3. 부하에 걸리는 전압 또는 흐르는 전류를 구한다.
* 예시



[그림1]과 같이 복잡한 직렬, 병렬회로에서 구하고자 하는 전류가 흐르는 저항을 short 시킨다. 그러면 IN은 다음과 같이 계산할 수 있다.



[그림1]의 회로를 [그림4]처럼 전류원과 저항의 병렬로 된 회로로 표현할 수 있다.

즉, 앞에서 테브닌 정리로 계산한 결과와 위의 노턴 정리에 대한 결과가 동일한 결과를 나타내는 것을 알 수 있다. 따라서 테브닌 정리와 노턴 정리가 연관이 돼있다는 것을 알 수 있다.

- 참고문헌 -

[1] [외국] James W. Nilsson. (2019)**.** ELECTRIC CIRCUITS. pearson.

[2]https://www.allaboutcircuits.com/textbook/direct-current/chpt-10/thevenins-theorem/ (2021-04-12 방문).

[3]https://web.archive.org/web/20070927185110/http://tcts.fpms.ac.be/cours/1005-01/equiv.pdf (2021-04-12 방문).